

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-026394

(43)Date of publication of application : 16.02.1983

(51)Int.Cl.

G11C 11/34

G06F 3/00

G06F 9/46

G06F 13/00

(21)Application number : 56-123423

(71)Applicant : FUJITSU LTD

(22)Date of filing : 06.08.1981

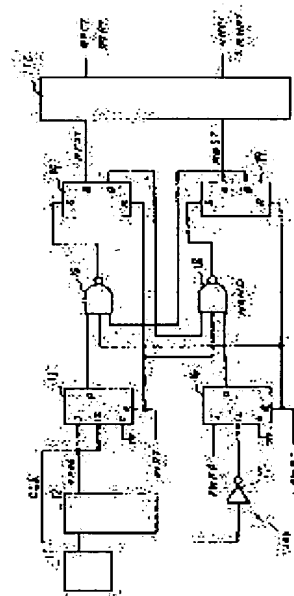
(72)Inventor : MATSUBARA SATOSHI
HAMADA TAKASHI

(54) COMPETITION CIRCUIT

(57)Abstract:

PURPOSE: To efficiently process refresh operation which is finished in a shorter cycle time than R/W operation, by independently providing a reset signal from an access request signal and a refresh request signal to memories.

CONSTITUTION: When refresh is requested with a refresh request (RFR) Q signal at "1", a Q output of an FF113 goes to "1" at the tail ridge of an output CLK of an OSC11. The level of RWRT and Q' output of an FF4 is both at "1" and an FF214 is set, and the level of REST25 is at "1" and refresh is executed. If R/W request is available during this period, registration is made to an FF316 at the front ridge of the CLK, the Q' output of the FF2 goes to "0" during the execution of refresh, a NAND gate G218 is not set and the RWST 210 remains "0". An RFRT26 goes to "0" at the end of the refresh and the Q' output of the FF2 goes to "1". When the RFRT26 changes from "0" to "1", the 218 is set and an FF419 is set.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—26394

⑤ Int. Cl.³

G 11 C 11/34

G 06 F 3/00

9/46

13/00

識別記号

1 0 1

1 0 1

1 0 1

庁内整理番号

7922—5B

7165—5B

6745—5B

7056—5B

⑬ 公開 昭和58年(1983)2月16日

発明の数 1

審査請求 有

(全 4 頁)

⑭ 競合回路

⑯ 特 願 昭56—123423

⑰ 出 願 昭56(1981)8月6日

⑱ 発 明 者 松原敏

川崎市中原区上小田中1015番地
富士通株式会社内

⑲ 発 明 者 浜田隆史

川崎市中原区上小田中1015番地
富士通株式会社内

⑳ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

競合回路

2. 特許請求の範囲

互いに非同期に発生する2つの要求信号(例えばメモリへのアクセス要求信号とリフレッシュ要求信号)が同時期に発生した場合の競合を制御するための回路において、上記2つの要求信号をクロック信号のそれぞれ前縁、後縁で登録するFF(フリップフロップ)と、2つの要求信号に対応した2つの独立したリセットタイミング信号を有し、該リセットタイミング信号を用いて前記2つの要求信号を制御する手段を設けたことを特徴とする競合回路。

3. 発明の詳細な説明

本発明は信号の競合を制御する回路に係り、特に非同期に発生する2つの要求信号の競合回路に関する。

従来、この種の回路においては、外部からのアクセス要求は、メモリが書き込み或いは読み出し

動作(以下R/W動作^Yと呼ぶ)に入るまで保持する必要があり、その為の制御回路及びR/W動作に入ったことを外部に通知するための信号があった。又通常メモリにおけるリフレッシュ動作はR/W動作よりも短いサイクルタイムで実行されるが、該2つの動作について同じタイミングで制御していたため、リフレッシュに占有される割合が高く処理速度が遅いという欠点と、オープンコレクタゲート、シュミットトリガゲート、終端抵抗が必要であり部品数が多いという欠点があった。本発明は前記欠点を解消して処理速度が速く、部品点数の少ない競合回路を提供することを目的とする。

この目的は互いに非同期に発生する2つの要求信号(例えば^ばメモリへのアクセス要求信号とリフレッシュ要求信号)が同時期に発生した場合の競合を制御するための回路において、上記2つの要求信号をクロック信号のそれぞれ前縁、後縁で登録するFF(フリップフロップ)と、2つの要求信号に対応した2つの独立したリセットタイミング信号を有し、該リセットタイミング信号を用い

て前記2つの要求信号を制御する手段を設けたことを特徴とする競合回路により達成される。

以下図面を使って本発明を詳細に説明する。

第1図は本発明の一実施例を示す競合回路図である。

図において、11はOSC(オシレーター)、12はCOUNT(カウンタ)、13はFF1(フリップフロップ1)、14はFF2(フリップフロップ2)、15はG1(ゲート1)、16はFF3(フリップフロップ3)、17はG3(ゲート3)、18はG2(ゲート2)、19はFF4(フリップフロップ4)、110はタイミング作成回路である。

第2図は本発明の一実施例を示すタイムチャートである。

図において、21はOSC出力(CLK信号)、22はCOUNT出力(RFRQ信号)、23はFF1のQ出力、24はFF2のS入力、25はRFST、26は*RFRT、27はRWRQ、28はFF3のQ出力、29はFF4のS入力、210は

- 3 -

であるため、NANDゲートG218が開かずRWST210は“L”のままである。

そしてリフレッシュ動作が終了した時点で*RFRT26が“L”となりFF2のQ出力が“H”となる。さらに*RFRT26が“L”→“H”と変化した時点でG218が開き、FF419がセットされる。こうしてリフレッシュ動作が終るやいなやR/W動作が実行される。

ここでリセットタイミング*RFRT26信号はリフレッシュ動作を終了するタイミングであると共に、RFST25が“L”となってから、RWST210を“H”とするまでの間のOFF時間を制御するための重要な信号である。

同様の動作が、R/W要求が先に受け付けられ、その後リフレッシュ要求が出た場合にも行われる。

本回路に於いては、リセット信号を両要求信号について独立に持ったため、R/W動作に比して短いサイクルタイムで終了するリフレッシュ動作を効率良く処理することができる。

又、要求信号は1CLKサイクル以上“H”であ

特開昭58-26394(2)

はRWST、211は*RWRT、213はリフレッシュのスタート信号、215はメモリのR/Wスタートである。

さて、メモリシステムにおける外部からのR/W要求と内部で発生するリフレッシュ要求の競合を例として説明しよう。

FF113がCOUNT12により発生したリフレッシュ要求(RFRQ)を登録するためのFFであり、FF316がR/W動作の要求信号(RWRQ27)を登録するためのFFでフリップフロップ回路以下FFと書くである。

今、RFRQ信号が“H”レベル(値1)となり、リフレッシュ要求がされた場合、FF113のQ出力がOSC11の出力CLKの後縁で“H”レベルとなる。この時、*RWRT、FF4Q出力は共に“H”であり、FF214はセットされ、RFST25が“H”となり(213)リフレッシュが実行される。

もし、この間にR/W要求があれば(RWRQ27=“H”)FF316へはCLKの前縁で登録されるが、リフレッシュ実行中はFF2のQ出力が“L”

- 4 -

れば確実にFF13、FF3(16)にセットされるので、要求信号を、動作開始まで保持するための制御が不要である。

一般に、メモリ素子においては、アクセスされてから、次のアクセスを受けるまでに一定の休止期間が必要であるが、本回路を用いれば、RFST25及びRWST210間のOFF期間をそれぞれ*RFRT26、*RWRTの幅を変えることにより、自由に制御できるので、FF214、FF419の出力を単にORすることにより直接メモリ素子へのスタート信号として使用出来、メモリへの早いアクセスが可能である。

なおCLK信号の“H”期間; T_H ; “L”期間; T_L は下記の値を満足すれば良い。

$$T_H > T_{dg} + T_{df} + T_{dg} + T_{df} - T_{df}$$

$$T_L > T_{df} + T_{dg} + T_{df} - T_{dg} - T_{df}$$

ここで、

$$T_{dg}; \text{ NAND G1 の素子遅延}$$

$$T_{dg}; \text{ " G2 "}$$

$$T_{dg}; \text{ I NV G3 "}$$

Tdf₁ ; FF1 の 素子遅延
 Tdf₂ ; FF2 "
 Tdf₃ ; FF3 "
 Tdf₄ ; FF4 "

である。

以上では、外部からのR/W要求と、内部で発生するリフレッシュ要求の競合の一例であったが、変形例として、同一のメモリシステムに対して2つのCPUからのアクセス要求がある場合、又は同一メモリシステムに対してCPUとI/Oからの要求がある場合等が考えられる。

以上説明したように本発明によれば次の3つの効果がある。

- ① 要求信号は1クロック周期を超える幅であれば良く、実際の動作に入るまで要求信号を保持しておく必要がない。
- ② FFのリセット信号を適当にタイミング設定することにより両要求信号に対して独立に自由にサイクルタイムを設定でき効率の良い処理が可能である。

- 7 -

はタイミング作成回路、21はOSC出力(CLK信号)、22はCOUNT出力(FRQ信号)、23はFF1のQ出力、24はFF2のS入力、25はRFST、26は*RFRT、27はRWRQ、28はFF3のQ出力、29はFF4のS入力、210はRWST、211は*RWR、213はリフレッシュのスタート信号、215はメモリのR/Wスタート。

代理人 弁理士 松岡 宏四郎

特開昭58-26394(3)

さらに両要求信号の間の休止期間を自由に制御できるため、最終段FFの出力を直接タイミング信号として使用でき、特にメモリシステムにおいては有効である。

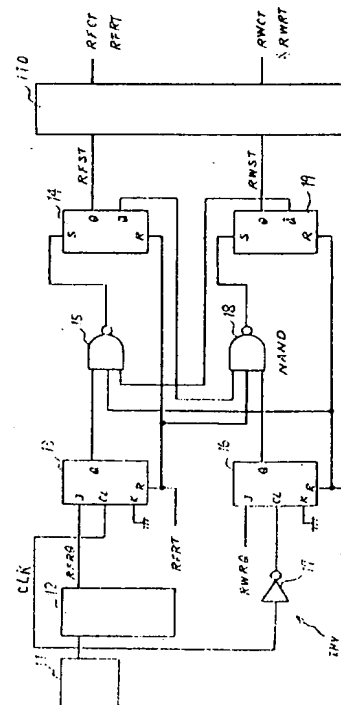
- ③ 従来の競合回路で用いられていた、NOR回路、オープンコレクタゲート、シュミットトリガゲート、終端抵抗等が不要となり、FF、NAND、INVの3種の部品で構成されており、部品数の削減、低価格化の効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す競合回路図である。第2図は本発明の一実施例を示すタイムチャートである。

記号の説明、11はOSC(オシレータ)、12はCOUNT(カウンタ)、13はFF1(フリップフロップ1)、14はFF2(フリップフロップ2)、15はG1(NANDゲート1)、16はFF3(フリップフロップ3)、17はG3(インバータゲート3)、18はG2(NANDゲート2)、19はFF4(フリップフロップ4)、110

- 8 -



第1図

第2図

